**АРИФМЕТИКО - ЛОГИЧЕСКОЕ УСТРОЙСТВО (АЛУ)**

1. Цель работы

Целью данной работы является ознакомление с типовыми схемами ТТЛ логики отечественного производства и их импортными аналогами.

1. Задание на работу
   1. Включить исследуемую схему
   2. В качестве двоичного кода слова **А** взять последнюю цифру индивидуального кода, а в качестве слова **В** – дополнение слова **А2** до 142.
   3. Набрать поочерёдно с помощью клавиатуры управляющие двоичные коды (**M, C, S0, S1, S2, S3**) и зафиксировать результаты на выходах **Сn+4, F3, F2, F1, F0, A=B** каждой логической и арифметической операции.
   4. Составить отчёт о проделанной работе.
2. Выполнение работы

На рисунке 3.1 показана принципиальная схема арифметико-логического устройства.

**DD1** ­­– микросхема АЛУ **74181** (**К555ИП3**);

**HL1, HL2 –** семисегментные индикаторы, отображающие состояние четырёхразрядных двоичных входов **А3А2А1А0** и **В3В2В1В0**;

**HL3 – HL8** – индикаторные лампы, показывают результат операций над словами **А** и **В** а т. же состояние выхода переноса и выхода компаратора (**HL3** и **HL8** соответственно);

**HL9** – **HL14** – индицируют состояние входов выбора функции **S3S2S1S0**, управляющего входа **М**, входа приёма сигнала переноса **Cn** (**HL9 – HL12, HL13, HL14**).

По условию работы в качестве слова **А** возьмём последнюю цифру индивидуального кода (**0000**), а слова **В** – дополнение **А** до 142 (**1110**).

Задатчиком выбора функции и двоичных слов **А** и **В** является шестнадцатиразрядный формирователь двоичного кода (word generator).

Код, забиваемый в генератор выглядит так:



Шестнадцать двоичных разрядов поделены на группы следующим образом:

1-я группа не используется;

2-я группа – четырёхразрядное двоичное слово **А (А3А2А1А0)**;

3-я группа – четырёхразрядное двоичное слово **В (В3В2В1В0)**;

4-я группа – пятиразрядный управляющий код (**S3S2S1S0M**);

5-я группа – одноразрядный сигнал переноса (**Cn**).

Таким образом, изменяя управляющий код (4-я группа) можно выбрать любую операцию, которую АЛУ позволяет выполнять.

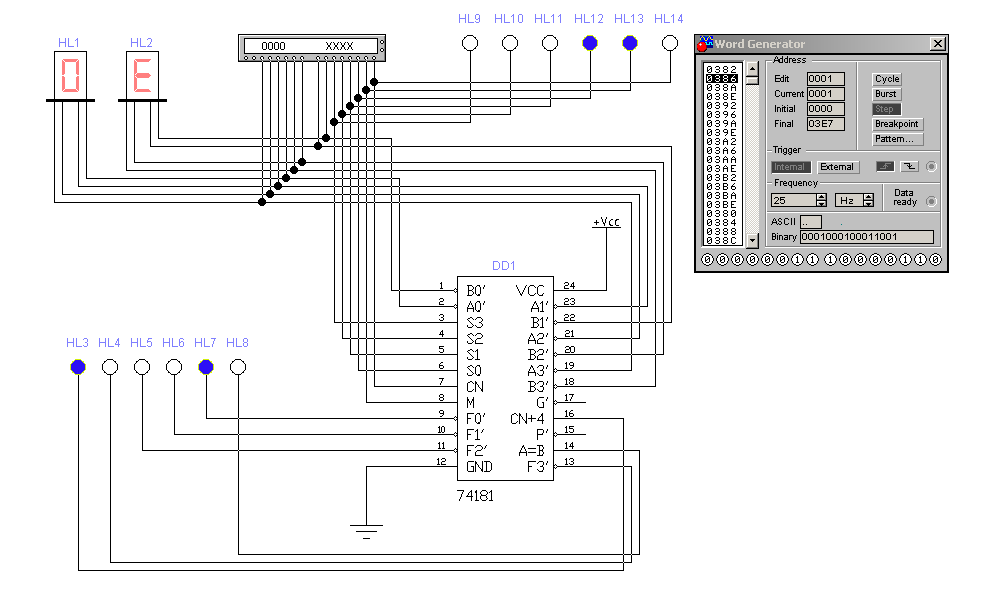


рисунок. 3.1-Принципиальная схема АЛУ

В таблице 3.1 приведены результаты операций, выполняемых над двумя четырёхразрядными двоичными числами **А** и **В**.

Таблица истинности АЛУ таблица 3.1

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 1 | | | | 2 | | | | | 3 | | | | | 4 | | | | |
| Выбор функции | | | | M=1 | | | | | M=0, Cn=0 | | | | | M=0, Cn=1 | | | | |
| S3 | S2 | S1 | S0 | Sn | F3 | F2 | F1 | F0 | Sn | F3 | F2 | F1 | F0 | Sn | F3 | F2 | F1 | F0 |
| 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |
| 0 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |
| 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 |

В первом столбце показан код выбора функции, во втором – результат логических операций, в третьем – логико-арифметических с переносом (Cn=0), в четвёртом – без переноса (Cn=1).

Здесь S3, S2, S1, S0 – входы выбора функции;

F3, F2, F1, F0 – выходы микросхемы АЛУ, на которых формируются результаты операций;

Sn – выход переноса, на котором формируется сигнал старшего разряда результата операций.

Используем микросхему DD1 в качестве цифрового компаратора (рис. 3.2).

Для реализации этого режима при помощи генератора кода зададим слова **А**=0000 и **В**=0100; **М**=0 и **S3S2S1S0=**0110. Так как **А**≠**В**, то на выходе **А**=**В** сигнала "лог. 1" не будет.

Пусть слова **А** и **В** равны (например 0100 и 0100). На выходе **А=В** мы наблюдаем "лог. 1".

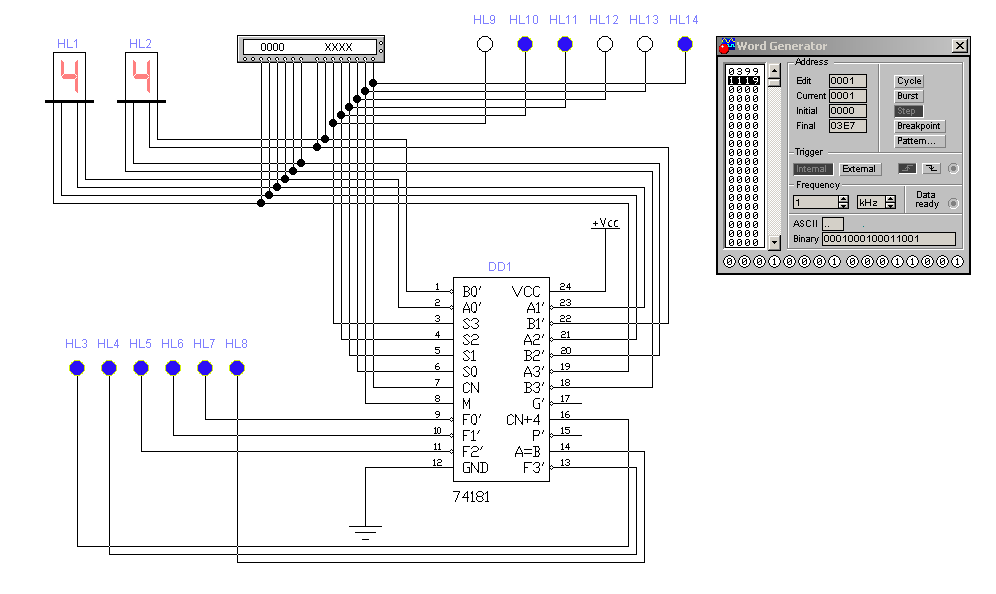


рисунок 3.2 -Принципиальная схема цифрового компаратора

Результаты этих операций сведены в таблицу 3.2.

таблица 3.2 Таблица истинности цифрового компаратора

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| M | S3 | S2 | S1 | S0 | A3 | A2 | A1 | A0 | B3 | B2 | B1 | B0 | F3 | F2 | F1 | F0 | A=B |
| 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 |
| 0 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 |

1. Выводы

В результате проделанной работы мы ознакомились со схемой АЛУ, выполненной на базе микросхемы 74181 (К555ИП3), а также использовали режим цифрового компаратора этой же микросхемы.